

PUBLICATION NUMBER : 09069075  
PUBLICATION DATE : 11-03-97

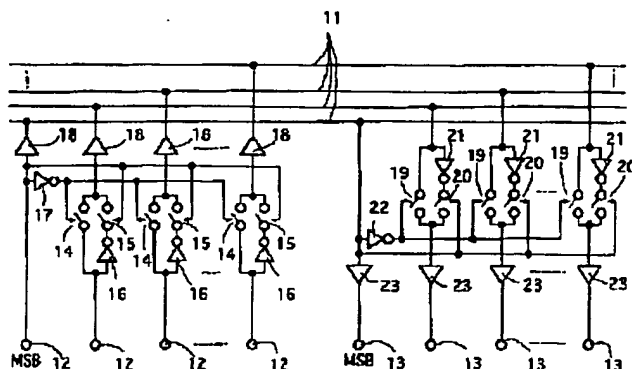
APPLICATION DATE : 31-08-95  
APPLICATION NUMBER : 07245194

APPLICANT : NIPPON TELEGR & TELEPH CORP  
<NTT>;

INVENTOR : SHIGEMATSU TOMOSHI;

INT.CL. : G06F 13/42

TITLE : BUS CIRCUIT



**ABSTRACT :** PROBLEM TO BE SOLVED: To handle data in complementary numbers of 2 and reduce the power consumption on a bus by changing transmission modes according to the most significant digit bit of the data.

**SOLUTION:** When the data at the output terminal 12 for the most significant digit bit is '0', a switch 14 is ON and a switch 15 is OFF, so that data at output terminals 12 for all other bits are outputted to a bus 11 as they are. When the data at the output terminal 12 for the most significant digit bit is '1', the switch 14 is OFF and the switch 15 is ON, so that the data at the output terminals 12 for all other bits are inverted by inverters 16 and outputted to the bus 11. When the data of the bus 11 of the most significant digit bit is '0', a switch 19 is ON and a switch 20 is OFF, so that the data of buses 11 of all other bits are outputted to input terminals 13 as they are. When the data of the bus 11 of the most significant digit bit is '1', the switch 19 is OFF and the switch 20, so that the data of the buses 11 of all other bits are inverted by inverters and outputted to the input terminals 13.

COPYRIGHT: (C)1997,JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-69075

(43)公開日 平成9年(1997)3月11日

(51)Int.Cl. <sup>9</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 13/42	3 1 0		G 0 6 F 13/42	3 1 0

審査請求 未請求 請求項の数1 F D (全 5 頁)

(21)出願番号 特願平7-245194

(22)出願日 平成7年(1995)8月31日

(71)出願人 000004226

日本電信電話株式会社

東京都新宿区西新宿三丁目19番2号

(72)発明者 松谷 康之

東京都千代田区内幸町1丁目1番6号 日

本電信電話株式会社内

(72)発明者 羽田野 孝裕

東京都千代田区内幸町1丁目1番6号 日

本電信電話株式会社内

(72)発明者 武藤 伸一郎

東京都千代田区内幸町1丁目1番6号 日

本電信電話株式会社内

(74)代理人 弁理士 長尾 常明

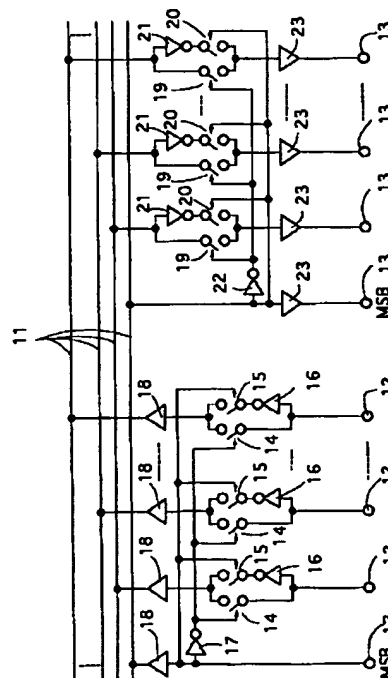
最終頁に続く

(54)【発明の名称】 バス回路

(57)【要約】

【課題】 バスで消費する電力の低減を図る、データを2の補数で扱えるようにする。

【解決手段】 データの最上位ビットが「0」のときは全データをそのまま送信し、「1」のときはデータの最上位以外の全部又は上位のビットを反転して送信する。また、データの最上位ビットが「0」のときは全データをそのまま受信し、「1」のときはデータの最上位以外の全部又は上記上位のビットを反転して受信する。



**【特許請求の範囲】**

【請求項1】 音声信号等のように絶対値の小さなデータを多く含むデータ群に関してデジタル処理を行うCPUやDSP等の内部のブロック間等でデータの送受信を行うバス回路において、

データの最上位ビットが「0」のときは全データをそのまま送信し、「1」のときはデータの最上位以外の全部又は上位のビットを反転して送信し、

データの最上位ビットが「0」のときは全データをそのまま受信し、「1」のときはデータの最上位以外の全部又は上記上位のビットを反転して受信する、

ことを特徴とするバス回路。

**【発明の詳細な説明】****【0001】**

【発明の属する技術分野】 本発明は、音声信号等のように絶対値の小さなデータを多く含むデータ群のデジタル処理を行うCPUやDSP等の内部のブロック間等でデータの送受信を行うバス回路に係り、特にバスにおける消費電力の低減化を図ったバス回路に関するものである。

**【0002】**

【従来の技術】 従来、CPUやDSP等の内部のブロック間等でデータの送受信を行うバス回路は、図2に示すように、出力端子12に入力された出力データを出力ドライバ18を介してバス11に出力し、このバス11に出力されたデータを、バスレシーバ23を介して入力端子13に出力させる回路である。

【0003】 さらにこれを発展させ、図3に示すように、トライステートバッファ型の出力ドライバ18'を用い、バス11を用いないときは出力制御端子24に制御信号を与えて出力ドライバ18'の出力を高インピーダンスにする回路が一般的に用いられている。

【0004】 以下に図3のバス回路の動作を説明する。出力ドライバ18'は、出力制御端子24が「1」のときバッファとして動作し、「0」のときは出力が高インピーダンスとなる。出力端子12に入力されたデータは出力制御端子24が「1」のときのみ、出力ドライバ18'を介してバス11に出力される。さらにこのバス11に出力されたデータはバスレシーバ23を介して入力端子13に出力され、このデータは入力端子13以降の回路に供給される。このときデータとしては、2の補数表現されたデータが用いられるのが一般である。

【0005】 図4に2の補数と10進数とを比較して示した。図4に示すように、絶対値が小さい場合、2の補数は、値が正の場合に上位ビットは「0」であり、負の場合は上記ビットは「1」である。

【0006】 一方、音声DSP等で扱う音声データは、一般に絶対値の小さいデータを多く含み、かつデータの極性の入れ替わりが激しい。音声データは、一般的に16～20ビットのデータとして取り扱うことが多い

が、その上位8～6ビットは全て「1」あるいは「0」であるデータが多い。

**【0007】**

【発明が解決しようとする課題】 この場合、極性の入れ替わりが激しいため、バスの上位ビットに相当する線はロウレベル電圧とハイレベル電圧とが頻繁に入れ替わり、電力を大きく消費することになる。特に、バスは配線長が長く、大きな配線容量がつくため、2の補数の音声信号をバスに出力した場合、そのバスでの消費電力が大きくなってしまふ欠点を有していた。

【0008】 また、上記欠点を解決する手段として、最上位ビットを極性ビットとし、それ以下のビットで絶対値を表現する図5に示すサインマグニチュードのデータを用いる手法も提案されている。この場合、極性の入れ替わりで変化するのは最上位ビットのみであり、音声データのような絶対値の小さなデータをバスに通しても最上位ビットを除いた上位ビットは「0」のままであり、2の補数を用いたときのような電力の増加はない。

【0009】 しかし、音声データの加減算、乗算等を行う場合、従来から用いられてきた2の補数の加減算器、乗算器等を用いることができず、特殊な加減算器、乗算器を必要とする欠点を有している。

【0010】 本発明の目的は、上記した電力の欠点、および2の補数以外のデータ形式を用いるときの演算回路の複雑化に鑑み、データを2の補数で扱うことが可能で且つバスで消費する電力を低減できるようにしたバス回路を提供することにある。

**【0011】**

【課題を解決するための手段】 本発明は、音声信号等のように絶対値の小さなデータを多く含むデータ群に関してデジタル処理を行うCPUやDSP等の内部のブロック間等でデータの送受信を行うバス回路において、データの最上位ビットが「0」のときは全データをそのまま送信し、「1」のときはデータの最上位以外の全部又は上位のビットを反転して送信し、データの最上位ビットが「0」のときは全データをそのまま受信し、「1」のときはデータの最上位以外の全部又は上記上位のビットを反転して受信することを特徴とするバス回路として構成した。

**【0012】**

【発明の実施の形態】 図1は本発明の実施の形態を示すバス回路の回路図である。この回路は、図2の回路と同様に、出力データが出力端子12に出力し、出力ドライバ18を介してバス11に出力し、このバス11に出力されたデータはバスレシーバ23を介して入力端子13に出力される。

【0013】 ただし、最上位ビットの出力端子12は当該ビットの出力ドライバ18の入力側に接続するが、それ以外のビットの出力端子12は、スイッチ15とインバータ16の直列回路に対してスイッチ14を並列接続

して構成した回路を介して、対応するビットの出力ドライバ18の入力側に接続する。そして、スイッチ15は最上位ビットの出力端子12のデータが「1」のときオンし、「0」のときオフとなる。スイッチ14はその最上位ビットの出力端子12のデータをインバータ17で反転したデータが「1」のときオンし、「0」のときオフとなる。

【0014】また、最上位ビットのバスレシーバ23の入力側は当該ビットのバス11の配線にそのまま接続するが、それ以外のビットのバスレシーバ23の入力側は、スイッチ20とインバータ21の直列回路に対してスイッチ19を並列接続して構成した回路を介して、対応するビットのバス11に接続する。そして、スイッチ20は最上位ビットのバス11のデータが「1」のときオン、「0」のときオフとなる。スイッチ19はその最上位ビットのバス11のデータをインバータ22で反転したデータが「1」のときオン、「0」のときオフとなる。

【0015】次に動作を説明する。最上位ビットの出力端子12のデータが「0」のときは、スイッチ14がオン、スイッチ15がオフとなり、他の全ビットの出力端子12のデータがそのまま出力ドライバ18を介してバス11に出力する。最上位ビットの出力端子12のデータが「1」のときは、スイッチ14がオフ、スイッチ15がオンとなり、他の全ビットの出力端子12のデータがインバータ16で反転されて出力ドライバ18を介してバス11に出力する。

【0016】また、最上位ビットのバス11のデータが「0」のときは、スイッチ19がオン、スイッチ20がオフとなり、他の全ビットのバス11のデータがそのままバスレシーバ23を介して入力端子13に出力する。最上位ビットのバス11のデータが「1」のときは、スイッチ19がオフ、スイッチ20がオンとなり、他の全ビットのバス11のデータがインバータ21で反転されてバスレシーバ23を介して入力端子13に出力する。

【0017】以上により、入力端子13の各ビットには、出力端子12の各ビットに入力したデータと同じデータが得られる。このため、出力端子12に2の補数のデータを出力すると、入力端子12には、2の補数のデータが得られる。

【0018】また、2の補数データを出力端子13に出力すると、バス11には、図6に示すように、サインマグニチュードに類似した、最上位ビットで極性を表示し、それ以外のビットで絶対値を表したコードが出力される。しかも、サインマグニチュードでは4ビットで10進表示の-7から7までしか表現できないのに対して、ここでは、4ビットで10進表示の-8から7までの2の補数と同等の量の表現ができる。

【0019】このため、上位8～6ビットは全て「1」あるいは「0」であるデータが多く極性に入れ替わりが

激しい2の補数表現される音声データをバスに通しても、最上位ビット以外のバスの上位ビットに相当する線はロウレベル電圧のままとなり、大幅な低電力化が可能となる。

【0020】このように、本発明は、バスへの出力データおよびバスからの入力データを2の補数で取り扱うことが好適であり、DSP、CPU内の演算回路は従来のもので使用でき、且つバスにはデータの極性が入れ替わっても最上位ビットを除くデータの上位ビットの値は変化しないようにできる。

【0021】なお、前記したように2の補数表現される音声データは一般的に16～20ビットのデータとして扱うことが多いが、その上位8～6ビットはすべて「1」又は「0」であるデータが多いので、バスの上位8～6ビットのみに本発明を適用することもできる。つまり、最上位ビットが「1」のときにデータの最上位以外の上位のビットを反転して受信/送信するようにすることもできる。

【0022】また、本発明のバス回路は、2の補数表現されるデータをそこに出力し、そこから入力する場合に好適であるが、扱うデータ形式は2の補数表現されるデータに限られるものではなく、これと類似に表現されるデータでも同様の作用効果を得ることができる。

【0023】

【発明の効果】以上から本発明は、音声信号等のように絶対値の小さなデータを多く含むデータ群の処理回路に用いると、配線長が長く寄生容量が大きいために電力を大幅に消費するバス回路の上位ビットを「0」のままとすることができ、上位ビットのバス線の充放電を無くすることができ、バス回路を低電力化できる。

【0024】また、バスの入力端子、出力端子では2の補数表現のコードを取り扱うことができるため、演算回路等に従来回路をそのまま用いることもできる。

【0025】さらに、音声データは一般的に16～20ビットのデータとして扱うことが多いが、その上位8～6ビットはすべて「1」又は「0」であるデータが多いので、バスの上位8～6ビットのみに本発明を適用しても上記と同様の効果が得られる。

【図面の簡単な説明】

【図1】 本発明の実施の形態を示すバス回路の回路図である。

【図2】 従来のバス回路の回路図である。

【図3】 従来の別の例のバス回路の回路図である。

【図4】 2の補数表現のコードの説明図である。

【図5】 サインマグニチュード表現のコードの説明図である。

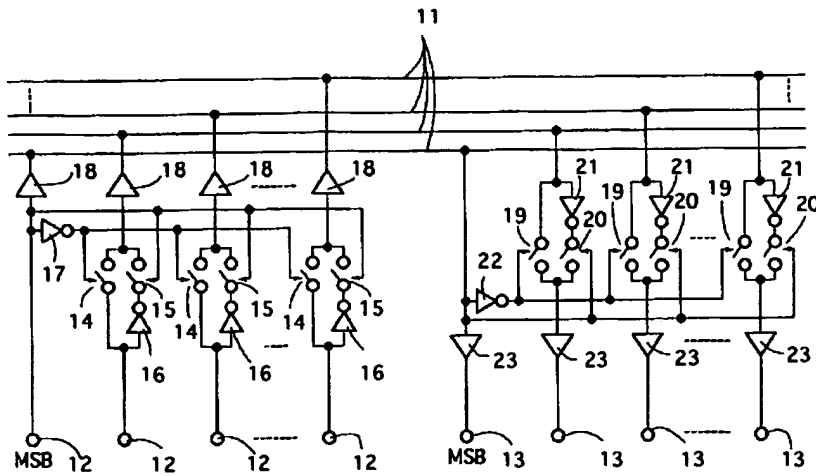
【図6】 本発明の実施の形態のバス回路のバス上のコードの説明図である。

【符号の説明】

11：バス、12：出力端子、13：入力端子、14、

15:スイッチ、16、17:インバータ、18:出力  
ドライバ、19、20:スイッチ、21、22:インバ

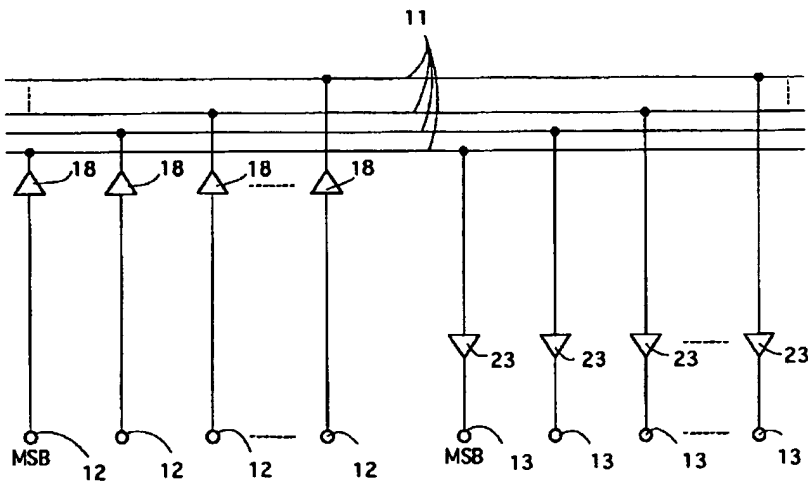
【図1】



【図4】

10進	2の補数
7	00000111
6	00000110
5	00000101
4	00000100
3	00000011
2	00000010
1	00000001
0	00000000
-1	11111111
-2	11111110
-3	11111101
-4	11111100
-5	11111011
-6	11111010
-7	11111001
-8	11111000

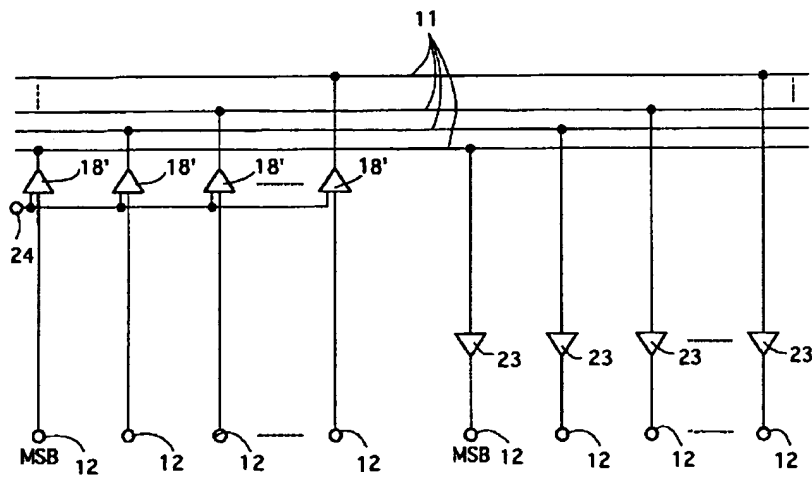
【図2】



【図5】

10進	サイン・チャド
7	00000111
6	00000110
5	00000101
4	00000100
3	00000011
2	00000010
1	00000001
0	00000000
-0	10000000
-1	10000001
-2	10000010
-3	10000011
-4	10000100
-5	10000101
-6	10000110
-7	10000111

【図3】



【図6】

10進	本発明
7	00000111
6	00000110
5	00000101
4	00000100
3	00000011
2	00000010
1	00000001
0	00000000
-1	10000000
-2	10000001
-3	10000010
-4	10000011
-5	10000100
-6	10000101
-7	10000110
-8	10000111

フロントページの続き

(72)発明者 西田 享邦  
東京都千代田区内幸町1丁目1番6号 日  
本電信電話株式会社内

(72)発明者 重松 智志  
東京都千代田区内幸町1丁目1番6号 日  
本電信電話株式会社内